IC设计虚拟仿真实验项目

**课程介绍与课件**

本实验项目切实贯彻“加强基础，强化应用，提高素质，注重创新，激励个性，体现特色”的人才培养思路，努力强化学生IC设计的实践能力的培养。

本实验项目的教学内容包括ASIC设计的基础，注重使学生理解ASIC设计的基本流程与关键技术，重点在于通过具体的UART控制器芯片的设计，介绍ASIC设计流程中最主要的几种专业EDA软件的使用，包括逻辑仿真、逻辑综合、静态时序分析、版图综合与验证、测试向量生成与故障模拟、形式验证等。

实验教学中主要包括课内和课外两种教学。一是课内实验教学指导，通过老师随堂演示、指导及相配套的实验报告的完成使学生能够基本掌握ASIC设计中不同EDA软件的功能与使用；二是开放的网络教学，注重特色人才培养，使对实验内容有兴趣的学生有条件进行深入的、综合性的实验培训，配备专门老师进行在线或离线指导。

本实验项目及实验环境对本校学生开放，接收国内高校及信息学科研究机构业务技术人员进修访问。实验项目的虚拟资源放置在专用服务器上，不仅对相关专业学生开放，而且对社会各个单位和个人开放，实验项目的所有资源均可以上网对公众开发，课件、实践指南等都可以通过互联网自由下载。利用虚拟技术构建交互式的实验教学与管理信息平台，建立自觉式、协作式的“学习共同体”的虚拟仿真实验教学模型，可以是校内、校外个人或者单位注册账号，登陆本实验平台网站，浏览，并进行实际操作，最大化资源利用效果。

本实验教学对学生的评价主要包括四个方面：课程实验的出勤率、平时实验过程（实验报告）的完成情况、上机操作考核情况及学生在课堂之外的实验情况。对实验指导老师的评价主要包括三个方面，包括对实验内容的设计与更新、实验的过程管理及在线指导情况。通过这些客观的评测，强化提高学生学生进行ASIC设计的能力，并促进老师对本实验教学完善。

|  |
| --- |
| 2-1名称  UART控制器专用芯片设计实验 |
| 2-2实验目的  本实验通过一个UART控制器芯片的完整设计，主要达到以下目的：   1. 使学生掌握ASIC设计的基本流程； 2. 通过实验使学生掌握ASIC设计的基本原理与方法； 3. 通过本实验，使学生能熟练使用常用ASIC设计的专用EDA工具。 |
| 2-3实验原理（或对应的知识点）  本实验涉及ASIC从前端设计到后端设计的所有流程，主要知识点包括：   1. 数字系统的HDL描述与仿真； 2. 逻辑综合与可测性设计综合、综合约束设计； 3. 静态时序分析原理、功能与应用； 4. 版图综合的基本流程，电源、时钟树综合、自动布局布线，版图验证； 5. 数字系统的测试与自动测试向量生成； 6. 形式验证的基本原理及其在ASIC设计流程中的作用。 |
| 2-4实验仪器设备（装置或软件等）   1. **硬件：**   服务器（Linux/UNIX操作系统）；  个人PC机终端。  B**．软件：**  1）逻辑仿真：ModelSim（Mentor Graphics）  2）逻辑综合：Design Compiler（Synopsys）  3）静态时序分析：Prime Time（Synopsys）  4）版图综合：SOC Encounter（Cadence）  5）自动测试矢量生成：TetraMAX（Synopsys）  6）形式验证：Formality（Synopsys）  7）版图验证工具：IC5141、Assura （Cadence） |
| 2-5实验材料（或预设参数等）  芯片面积、功耗尽量小。  数据传输速率：1200、2400、4800、9600、192000 Baud |
| 2-6 实验教学方法（举例说明采用的教学方法的使用目的、实施过程与实施效果）  在实验中采用的教学方法有：   1. 实验演示   每次实验，指导老师先进行一个基本的实验流程操作，对一些关键或容易出错之处进行强调，使学生首先有一个感性的认识；然后，安排较综合的实验操作，使学生从实验操作过程不忙乱。   1. 操作过程实验报告   每次实验都编排有依实验过程的相关问题的实验报告，学生一边实验操作一边思考回答问题，达到对理论或难点知识的深刻理解。   1. 网络教学   实验教学课堂时间的安排毕竟有限。为了给对ASIC设计有兴趣的学生提供一个良好的实验条件,ASIC实验在课后仍开放实验环境，学生在校园网内任何网络端口可全天候上机实践，并与指导老师进行交互。大大激发了学生的实验兴趣。 |
| 2-7实验方法与步骤要求（学生操作步骤应不少于10步）   1. Linux操作环境与TCL脚本语言介绍（1课时）   练习应用Linux的vi编辑器编写、运行TCL脚本命令。   1. 实验内容介绍（1课时）   ⑴ 熟悉UART的基本工作原理、系统结构；  ⑵ 参考已有设计，理解UART系统的VHDL描述；  ⑶ 了解本实验ASIC的流程。   1. 应用ModelSim对UART的功能进行仿真（4课时）   ⑴ 熟悉ModelSim软件的基本功能与操作；  ⑵ 练习UART的功能仿真；  ⑶ 练习UART的性能仿真；  ⑷ 练习应用ModelSim的高级功能对UART进行仿真；  ⑸ 完成实验报告。   1. 逻辑综合（4课时）   ⑴ 熟悉逻辑综合工具Design Compiler的图形用户方式与命令（脚本）操作方式；  ⑵ 练习编写逻辑综合约束脚本文件，并应用脚本文件控制综合过程；  ⑶ 进行综合结果分析：综合最坏路径延时、功耗估计等；  ⑷ 练习可测性设计的逻辑综合;  ⑸ 完成实验报告。   1. 静态时序分析（2课时）   ⑴ 熟悉静态时序分析工具Prime Time的操作方式；  ⑵ 理解输入延时、输出延时、时序弧等概念；  ⑶ 对逻辑综合后的UART设计进行静态时序分析，分析关键路径。  ⑷ 完成实验报告。   1. 版图综合（6课时）   ⑴ 了解并输入应用SOC Encounter进行版图综合的各类库文件及逻辑综合文件；  ⑵ 进行版图规划设计；  ⑶ 进行电源网络综合；  ⑷ 进行自动布局；  ⑸ 进行时钟树综合；  ⑹ 进行自动布线。完成版图综合；  ⑺ 完成实验报告。   1. 版图验证（2课时）   ⑴ 将版图综合的结果导入模拟IC设计工具IC5141；  ⑵ 应用版图验证工具Assura对版图进行DRC验证、LVS验证。   1. 测试向量生成（4课时）   ⑴ 熟悉测试向量综合工具TetraMAX的操作；  ⑵ 对UART的DFT综合网表构造ATPG模型；  ⑶ 进行设计规则检查；  ⑷ 练习外部输入测试图形的故障模拟；  ⑸ 完成实验报告。   1. 形式验证（4课时）   ⑴ 熟悉形式验证工具Formality的基本概念与软件操作流程；  ⑵ 读入设计、设置信息、匹配比较点与验证；  ⑶ 结果分析与调试；  ⑷ 完成实验报告。   1. 完成设计结果报告。 |
| 2-8实验结果与结论要求   1. 完成各次的实验报告。 2. 在提交的设计结果报告中提供以下内容：   ① 逻辑仿真测试平台与仿真波形、仿真结果分析；  ② 逻辑综合结果报告（电子文件形式）；  ③ 静态时序分析结果报告（电子文件形式）；  ④ 版图综合结果：综合的版图图片、版图验证的结果；  ⑤ 测试向量生成：采用的故障模型及对应的故障覆盖率；  ⑥ 形式验证：形式验证的对象及结果报告；  ⑦ 实验中的问题。 |
| 2-9考核要求   1. 每次实验报告评阅，5分制。占总评的40%； 2. 项目最终实验结果报告，百分制。占总评的20%； 3. 实验操作上机考评：百分制，随机抽题。占总评的30%。 4. 实验出勤，10%。 |
| 2-10面向学生要求   1. 专业与年级要求   电子科学与技术专业四年级、微电子科学与工程四年级学生。   1. 基本知识和能力要求等   要求学生掌握Linux的基本操作。具有数字电子技术基础、半导体集成电路基础、和专用集成电路设计的基本理论知识背景。 |
| 3-2网络条件要求   1. 说明客户端到服务器的带宽要求（需提供测试带宽服务）   带宽 > 100 Mbps   1. 说明能够提供的并发响应数量（需提供在线排队提示服务）   并发响应数不少于10个。 |
| 3-3用户操作系统要求（如Windows、Unix、IOS、Android等）   1. 计算机操作系统和版本要求   服务器端操作系统：Linux, RHEL 4.0以上。   1. 其它计算终端操作系统和版本要求   个人终端PC机操作系统：Windows XP以上。 |
| 3-4用户非操作系统软件配置要求（如浏览器、特定软件等）   1. 计算机非操作系统软件配置要求（需说明是否可提供相关软件下载服务）   客户端软件：Xmanager v2.0版本以上。  可提供此软件下载。  （2）其它计算终端非操作系统软件配置要求（需说明是否可提供相关软件下载服务） |
| 3-5用户硬件配置要求（如主频、内存、显存、存储容量等）   1. 计算机硬件配置要求 2. 服务器   CPU数：> 4个，每个CPU不少于16核  CPU主频：> 2.4 GHz  内存： > 256 GB  显存： > 256 MB  存储容量（硬盘）： > 2 TB  B.个人PC终端  CPU主频：> 3 GHz  内存： > 4 GB  显存： > 256 MB  存储容量（硬盘）： > 500 GB   1. 其它计算终端硬件配置要求   无 |